

MENU**SEARCH****INDEX****DETAIL****JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237656

(43)Date of publication of application : 23.08.2002

(51)Int.Cl.

H01S 5/223

H01L 21/205

(21)Application number : 2001-031378

(71)Applicant : SONY CORP

(22)Date of filing : 07.02.2001

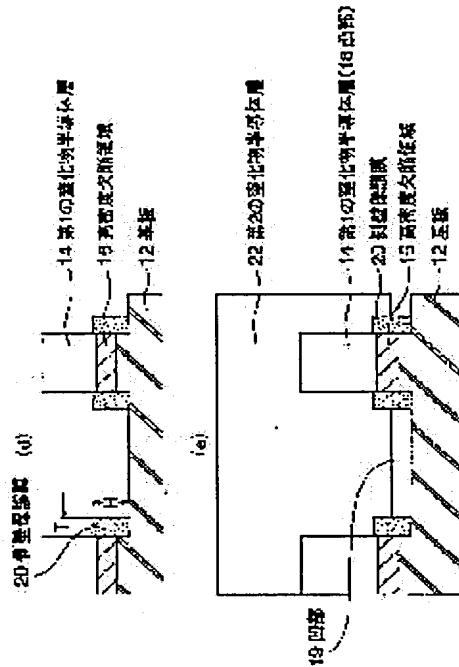
(72)Inventor : TOMITANI SHIGETAKA
HINO TOMOKIMI
YAMAGUCHI KYOJI

(54) METHOD FOR GROWING NITRIDE SEMICONDUCTOR LAYER, AND NITRIDE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for growing a nitride semiconductor layer, the crystal defect density of which is low.

SOLUTION: This method grows the nitride semiconductor layer grid-mismatched or heat-mismatched with a substrate 12 on the substrate without crystal defects. The method includes a first process for growing the first nitride semiconductor layer 14 on the substrate 12; a second process for forming a mask having a prescribed pattern on the first nitride semiconductor layer and next removing the first nitride semiconductor layer and the upper part of the substrate exposed from the mask to form recessed and projecting structure, having a projecting part 18 consisting of the first nitride semiconductor layer and the upper layer part of the substrate and a recessed part 19, which is obtained by exposing the substrate; a third process for forming a sidewall protective film 20, covering the side surface of the lower part of a projecting part at the lower part of the projecting part including a high-density crystal defect region 16 and the lower layer part of the first nitride semiconductor layer; and a fourth process of growing the second nitride semiconductor layer 22 on the recessed and projecting structure, provided with the sidewall protective film on the side surface of the lower part of the projecting part.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

(2)

(19) 日本国特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-237656
(P2002-237656A)

(43)公開日 平成14年8月23日(2002.8.23)

(51)Int.Cl.
H01S 5/223
H01L 21/205機別記号
P I
H01S 5/223
H01L 21/205チカド(参考)
5F0 45
5F0 73

審査請求未請求 請求項の数6 OL (全12頁)

る。そこで、窒化ガリウム(GaN)系III-V族化合物半導体を利用したGaN系半導体レーザー素子の研究が盛んに行われている。GaN系化合物半導体は、その禁制帯幅が1.9eVから6.2eVにわたる直接遷移半導体であって、可視光領域から紫外光領域の波長で発光する半導体発光素子を実現できる材料として、特に緑色から青色、更には紫外線の領域にわたる短波長域で発光する半導体レーザー素子や発光ダイオード(LED)など

を実現できる材料として注目されている化合物半導体である。

【請求項1】 格子不整合及び熱的不整合の少なくとも一方の不整合性を基板に対して有する窒化物半導体層を基板上に成長させる方法において、基板上に第1の窒化物半導体層を成長させる第1の工程と、第1の窒化物半導体層上に所定のバーナンを有するマスクを形成し、次いでマスクから露出した第1の窒化物半導体層及び基板の上層部を除去して、基板を露出させた凹部と第1の窒化物半導体層及び基板の上層部からなる10

と、凸部とを有する凹凸構造を基板面に形成する第2の工程と、

高密度結晶欠陥領域が存在する第1の窒化物半導体層下層部を少なくとも含む凸部下部に、凸部下部の側面を覆う側壁保護膜を形成する第3の工程と、側壁保護膜を凸部下部の側面に備えた凹凸構造上に第2の窒化物半導体層を成長させる第4の工程とを有するこの特徴とする窒化物半導体層の成長方法。

【請求項2】 第3の工程では、側壁保護膜をSiN_x膜で形成することを特徴とする請求項1に記載の窒化物半導体層の成長方法。

【請求項3】 第3の工程の後、第4の工程の前に、側壁保護膜に加えて凸部上面に上壁保護膜を形成することを特徴とする請求項1又は2に記載の窒化物半導体層の成長方法。

【請求項4】 上壁保護膜をSiN_x膜で形成することを特徴とする請求項3に記載の窒化物半導体の成長方法。

【請求項5】 基板上に形成された第1の窒化物半導体層及び基板の上層部からなる凸部と、基板を露出させた凹部とを有する凹凸構造を備えた基板面上に、凸部の上部を埋め込みようにして形成された、第2の窒化物半導体層の側壁保護膜を備える窒化物半導体素子において、側壁保護膜が凸部の下部側面を覆うようにして形成された側壁保護膜を備えた窒化物半導体素子における、第2の窒化物半導体層を覆うようにして形成された、第2の窒化物半導体層の側壁保護膜を形成することを特徴とする窒化物半導体素子。

【請求項6】 凸部の上面を覆う上壁保護膜が凸部の上面に設けて、凸部の上面を覆う上壁保護膜が凸部の上面に設けてあることを特徴とする請求項5に記載の窒化物半導体素子。

【発明の各称】 窒化物半導体層の成長方法及び窒化物半導体素子

(57)【要約】 結晶欠陥密度が低い窒化物半導体層の成長方法を提供する。

【解決手段】 本方法は、基板11に対しても格子不整合又は熱不整合の窒化物半導体層を結晶欠陥なく基板上に成長させる方法である。本方法は、基板11上に第1の窒化物半導体層1-4を成長させる第1の工程と、第1の窒化物半導体層上に所定のバーナンを有するマスクを形成し、次いでマスクから露出した第1の窒化物半導体層及び基板の上層部を除去して、第1の窒化物半導体層及び基板の上層部からなる凸部1と基板を露出させた凹部1-9とを有する凹凸構造を基板面に形成する第2の工程と、高密度結晶欠陥領域1-6が存在する第1の窒化物半導体層下層部を含む凸部下部の側面を覆う側壁保護膜2を形成する第3の工程と、側壁保護膜を凸部下部の側面に備えた凹凸構造上に第2の窒化物半導体層2を成長させる第4の工程とを有する。

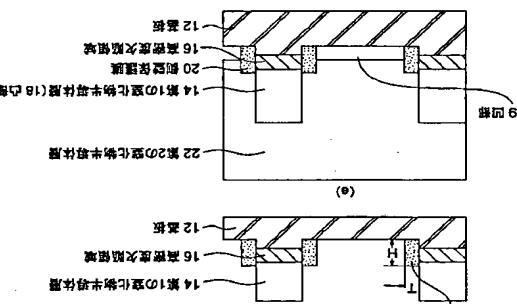
【発明の属する技術】 本発明は、窒化物半導体層の製膜方法及び窒化物半導体素子に関するものである。

【従来の技術】 光記録の分野では、光ディスクなどの光記録媒体の記録密度を向上させるために、短波長域の光を強光する半導体レーザー素子の実用化が求められてい

50 ばれている方法が、近年、開発されている。

【発明の詳細な説明】

40 40 【0001】 寸法記載図(1)(a)と寸法記載図(1)(b)によれば、導入された転位のうち、GaN系化合物半導体層の厚さ方向に伝播する貫通転位は、GaN系化合物半導体層近傍に形成されるデバイス活性層にも伝播し、電流リード端子や非活性中心などとして働く有害な結晶欠陥になり、デバイスの電気的・光学的特性を損なう原因となる。従って、良好な素子特性を得るために、半導体素子を作製するためには、貫通転位の発生を極力抑制しなければならない。そこで、貫通転位を低減する有力な方法として、エピキシャルに横向成長を用いる、ELO(Epitaxial Lateral Overgrowth)法と呼



7 本発明に基づいて本発明をより詳細に説明する。

窒化物半導体層の成長方法の実施形態例
本実施形態例は、本発明に係る窒化物半導体層の成長方法の一例であって、図1 (a) から (c) 、及び図2 (d) と (e) は、本実施形態例の方法に従つて窒化物半導体層を成長させる際の工程例である。本実施形態例の方法では、まず、図1 (a) に示すよう、基板1の上に第1の窒化物半導体層1.4を形成する。その後、バッファ層1.2と、そのバッファ層1.2の上に第1の窒化物半導体層1.4の成長が止まるまでの間に、CVD法により保護膜マスクを形成する。その後、保護膜マスクを剥離し、バッファ層1.2と第1の窒化物半導体層1.4との間で、積層欠陥層を形成する。その後、保護膜マスクを再び形成する。最後に、保護膜マスクを剥離して、バッファ層1.2と第1の窒化物半導体層1.4との間の積層欠陥層を除去する。

【0028】また、第1の工程では、基板1上に第1の窒化物半導体層を成長させる前に、基板1上に、図示しないが、バッファ層を形成しても良い。バッファ層には、GaN、AlN、InGaNなどを用いることができる。バッファ層の成長温度は、第1の窒化物半導体層1.4の後述する成長温度より低い温度で成長させ、その後耳は0.5μm以下にする。

【0029】第1の窒化物半導体層1.4には、GaN、更には不純物をドープしたGaN、例えばSiなどn型の不純物をドープしたn型GaNを用いることができる。第1の窒化物半導体層1.4の成長温度は、上述のバッファ層の成長温度よりも高温の成長温度、例えば900°C以上1000°C以下、好ましくは1050°Cである。また、第1の窒化物半導体層1.4の膜厚は特に限定しないが、図2 (d) に示すような四面構造を形成する。また、第1の窒化物半導体層1.4の膜厚は特に限定しがれども、図2 (d) に示すような四面構造を形成するように、適宜設定する。四面構造の周期は3~2.5μm程度が好ましいので、1~5μm程度の膜厚で形成することが望ましい。

【0030】図1 (b) は、第1の工程で得られた構造の品質状態を透過電子顕微鏡などで観測した結果を模式的に示したものであって、基板1と第1の窒化物半導体層1.4の間に、積層欠陥などの面欠陥、基板の面にはほぼ平行に走る軸、あるいは基板と垂直に走る軸が非常に高密度に形成された高密度結晶欠陥領域1.6が形成されていることを示している。高密度結晶欠陥領域1.6の耳さは、種々の条件で変化するが、典型的には0.5μm以下である。尚、バッファ層を形成した場合には、高密度欠陥領域1.6はバッファ層の基板近傍部に含まれる。

【0031】次に実施する第2の工程では、先ず、基板1上に成長させた第1の窒化物半導体層1.4上に、保護膜マスク形成用のマスク形成膜を覆設し、バーニングして所定バッフェンの保護膜マスク (図示せず) を形成する。続いて保護膜マスクから露出した第1の窒化物半導体層1.4及び基板1.2を強張的にエッチングにより除去し、その後、保護膜マスクを除去し、図1 (c) に示すように、基板を露出させた凹部と第1の窒化物半導体層1.6の隙間を埋め、更に、凸部上面が壁面が剛強保護膜2.0によって覆われ、更に、凸部上面が壁面が剛強保護膜2.0によって覆われ、更に、凸部上面が壁面が剛強保護膜2.0によって形成する。

【0041】次いで、フォトリソグラフィー処理及びエッチング加工によって、凹面構造の凹部のみに、CVD法によって約0.5μm厚のSiN膜 (図示せず) を形成する。更に、凹部のSiN膜をエッチングして、図2 (d) に示すように、耳さ0.2μmで基板面から

の高さが0.6μmの側壁保護膜2.0を凸部下部の側面に高密度欠陥領域1.6を覆うように形成する。

【0042】再度、MOCVD装置反応管内に基板をセットし、温度を1050°C、原料ガスにTMG、アンモニア及びシンガスを用い、 $1 \times 10^{18} / \text{cm}^2$ の濃度でSiをドープしたGaNよりもなる第2の窒化物半導体層2.2を5μmの厚さで成長させ、図2 (e) に示すように、側壁保護膜2.0を凸部下部の側面に備えた凹面構造上に第2の窒化物半導体層2.2を成長させる第2の窒化物半導体層2.2を成長させる。図3に示すように、側壁保護膜2.0で覆われていない凸部側面の欠陥構造は、図3に示すように、側壁保護膜2.0は存在するものの、図10に示す從来の窒化物半導体層のウイング部に発生していた転位Aや転位Bの発生確率は極めて低く、ウイング部 (凸部1.8同士の間の部分) 内の晶晶転換率が極めて低くなっている。これは、凸部内の高密度欠陥領域1.6の側面が側壁保護膜2.0によって覆われていて、高密度欠陥領域1.6で発生した転位がウイング部に伝播するのが、危険である。よって、本発明では、保護膜を適用することにより、高品質な窒化物半導体層を得ることができる。

【0043】本実施例で得た図2 (e) に示す積層構造の欠陥構造は、図3に示すように、側壁保護膜2.0は存在するものの、図10に示す從来の窒化物半導体層のウイング部に発生していた転位Aや転位Bの発生確率は極めて低く、ウイング部 (凸部1.8同士の間の部分) 内の晶晶転換率が極めて低くなっている。これは、凸部内の高密度欠陥領域1.6の側面が側壁保護膜2.0によって覆われていて、高密度欠陥領域1.6で発生した転位がウイング部に伝播するのが、危険である。よって、本発明では、保護膜を適用することにより、高品質な窒化物半導体層を得ることができる。

【0044】方法の実施例2
本実施例は、有機金属気相成長 (MOCVD) 法を用いた、本発明に係る窒化物半導体層の成長方法の別の実施例である。以下に、図4及び図5を参照して、実施例2の方法を説明する。図4は実施例2の方法について第2の窒化物半導体層の成長方法は、特に限定されず、例えば、MOCVD (有機金属気相成長法) 、HVPE (ハイドライド気相成長法) 、MBE (分子線エビタキシ法) などが挙げられる。

【0045】方法の実施例1
本実施例は、有機金属気相成長 (MOCVD) 法を用いた、本発明に係る窒化物半導体層の成長方法の一つの実施例である。以下に、図1から図3を参照して、実施例1の方法を説明する。図3は実施例1の方法で形成した窒化物半導体層の欠陥分布を示す模式図である。C面を正面とするサファイア基板を基板1.2として反応容器管30に配置し、温度を550°Cにして、キャリアガスとし水素を、及び原料ガスとしてアンモニアとTMG (トリメチルガリウム) を用いて、サファイア基板1.2上にGaNよりもなるバッファ層 (図示せず) を約0.5μmの厚さで成長する。バッファ層の成長後、TMGの供給を止めた後、温度を1050°Cに高め、次いでキャリアガスに水素を、及び原料ガスにTMGとアンモニアとアガスを用いて、図1 (a) に示すように、GaNよりもなる第1の窒化物半導体層1.4を約2μmの厚さで成長させることで形成することができる。次いで、再度、MOCVD装置の反応管内に試料をセットし、温度1050°Cで、原料ガスにTMG、アンモニア及びシンガスを用いてSiO₂膜 (図示せず) を1μmの厚さで製膜し、続いて既知のフォトリソグラフィ処理とエッチング加工によって保護膜マスクをバーニングして、ストライプ幅1.6μm幅、ストライプ間隔2μmのバターンを有する保護膜マスク (図示せず) を形成する。続いて、RIE法によって保護膜マスクから露出した第1の窒化物半導体層1.4を、更に基板1.2の上部部を0.2μmの高密度欠陥領域1.6の側面を覆う高さであって、高密度欠陥領域1.6の耳さを0.4μmとする、第2の工程で基板一部を0.2μm程度エッチングした場合、

凹凸構造を形成する。

【0046】次いで、側壁保護膜2.0を形成する。更に、側壁保護膜2.0を形成する第3の工程を実施する。側壁保護膜2.0の耳さ (T、図2 (d) 参照) は、凸部1.8同士の間隔に依存するものの、0.05μm以上1.0μm以下である。また、側壁保護膜2.0の基板面から高さ (H、図1 (c) 参照) は、少なくとも高密度欠陥領域1.6の側面を覆う高さであって、高密度欠陥領域1.6の耳さを0.4μmとする、第2の工程で基板一部を0.2μm程度エッチングした場合、

9

0.6μmより僅かに高い方が好ましい。

【0047】第2の工程では、成長し難い性質を有する材料、例えば、SiO₂、Si₃N₄、TiO₂、Wなどが挙げられ、好適にはCVD法により製膜するSiNである。側壁保護膜2.0を形成するには、先ず、図2 (d) に示すように、耳さ0.2μmで基板面から

の高さが0.6μmの側壁保護膜2.0を覆うように形成する。

【0048】再度、MOCVD装置反応管内に基板をセ

ットし、温度を1050°C、原料ガスにTMG、アンモニア及びシンガスを用い、 $1 \times 10^{18} / \text{cm}^2$ の濃度でSiをドープしたGaNよりもなる第2の窒化物半導体層2.2を5μmの厚さで成長させ、図2 (e) に示す積層構造

のように、側壁保護膜2.0は存在する。これにより、側壁保護膜2.0が成長させ、図2 (e) に示す積層構造

10

0.6μmより僅かに高い方が好ましい。

【0049】第1の窒化物半導体層1.4には、GaN、

更には不純物をドープしたGaN、例えばSiなどn型の不純物をドープしたn型GaNを用いることができる。

【0050】第2の工程では、保護膜の厚さは、特に限

定しないが、加工の容易さなどを考慮して、1μm以下

が望ましい。

8

0.5μm以下にする。

【0051】第1の窒化物半導体層1.4と基板1.2の上層部をエッチングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

になつても良いが、望ましくは垂直面になるように

が望ましい。

9

0.5μm以下にする。

【0052】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0053】第1の窒化物半導体層1.4と基板1.2の上層部をエッチャングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

になつても良いが、望ましくは垂直面になるように

が望ましい。

10

0.5μm以下にする。

【0054】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0055】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0056】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0057】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0058】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0059】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0060】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0061】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0062】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0063】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0064】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0065】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0066】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0067】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0068】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0069】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

ングによって除去する際、基板1.2のエッチャング量は、2

μm以下で除り、例えば0.2μm程度が好ましい。エ

ッチャングによって形成した凸部の側面形状は、テーパー状

10

0.5μm以下にする。

【0070】第2の工程では、保護膜マスクが形成され

ている領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層1.4と基板1.2の上層部をエッチ

該膜26によって覆われているから、凸部18内の貫通軸位26方向の延伸が遮断され、貫通軸位24が凸部18内に閉じ込められるからである。よって、本発明方法によることにより、極めて結晶欠陥密度が低い高品質な窒化物半導体薄膜を得ることができる。

[0046] 方法の実施例3

本実施例は、有機金属気相成長(MOCVD)法を用いた、本発明に係る窒化物半導体の成長方法の実施例である。本実施例の方法では、実施例2の方法で得られた図4に示す第2の窒化物半導体層2の上に、例えは、井戸層の厚さが3 nmである、バリア層の厚さが4 nmの多重量子井戸構造を有するGaNN層としで構成されている。

【0052】第2の窒化物半導体層2は、n側光ガイド層3.4、活性層3.6、p型劣化防止層3.8、p側光ガイド層4.0、p側クラッド層4.2、及びp側コントラクト層4.4をそれぞれ成長させ、その後、活性層3.6の劣化するのを防止するために設けてあって、例えは、厚さが2.0 nmのp型AlGaN層である。p側光ガイド層4.0は、例えは、p型不純物としてMgを添加した、厚さが0.1 μmのp型GaN層である。p側クラッド層4.2は、例えは、p型不純物としてMgを添加した、厚さが0.5 μmのp型AlGaN層と、又はAlGaN層とGaN層とより成る超格子構造により構成されている。p側コントラクト層4.4は、例えは、p型不純物としてMgを添加した、厚さが0.1 μmのp型GaN層である。

【0053】p側クラッド層4.2の上部とp側コントラクト層4.4は、電流導線するたために、断面形状がデーターパークでストライプ状の上部メサ構造として加工されており、更にメサ構造の上には、SiO₂などの绝縁材料よりも耐久層4.8が、p型コントラクト層4.4を露出させてある。尚、上部メサ構造は、第2の窒化物半導体層2の上に形成されており、形成されない部分を除いて、形成されている。また、上述のストライプ状リジット部を含めてその下部側面を覆う側壁保護膜20が凸部18の下部側面に設けである。

【0048】本実施形態例の窒化物半導体素子では、凸部18の上面を覆う上壁保護膜2.0によって、凸部18の上面に設けてある。また、上述のストライプ状メサ構造と同じ方向に延びる側面が側壁保護膜2.0によって覆われ、ワイング部(凸部18と同士の間の部分)内で成長する軸位の起源が側壁保護膜2.0によって遮断されているので、ワイング部内部の結晶欠陥密度が極めて低くなっている。

【0049】また、側壁保護膜2.0に加えて、図4に示すように、凸部18の上面を覆う上壁保護膜2.8を凸部18の上面に設けて、第2の窒化物半導体層2の結晶欠陥密度を更に低くさせても良い。

[0050] 窒化物半導体素子の実施例1

本実施例は、本発明に係る窒化物半導体素子をGaN系半導体レーザ素子に適用した一つの実施例である。以下に、図6を参照して、実施例1のGaN系半導体レーザ素子の構造を説明する。本実施例のGaN系半導体レーザ素子3.0は、方法の実施例1の第2の窒化物半導体層2の上に、順次、成長させた、n側クラッド層3.2、n側光ガイド層3.4、活性層3.6、p型劣化防止層3.8、p側クラッド層4.0、p型コントラクト層4.4の積層構造を備えている。

【0051】第2の窒化物半導体層2はn側コントラクト層として形成されている。n側クラッド層3.2は、例えは、n型不純物としてSiを添加した、厚さが1 μmのP-CVD法により、図7(a)に示すように、第2の窒化物半導体層2.2上に、n側クラッド層3.2、n側光

イド層3.4、活性層3.6、p型劣化防止層3.8、p側光ガイド層4.0、p側クラッド層4.2、及びp側コントラクト層4.4を介在させていて、積層方向に伝播する殆どの貫通軸位が第2の窒化物半導体層2.2によって中断され、レーザ構造基盤構造の貫通軸位の密度が低くなっている。よって、結晶欠陥が少なく、非発光再結合が起こり難いので、光出力一入電流強度特性が向上し、使用と共に動作電圧が上升するような現象が抑制され、GaN系半導体レーザ素子の寿命が長くなる。

【0061】このように、本実施例のGaN半導体レーザ素子は、低結晶密度の第2の窒化物半導体層2.2の介在により、上部のエビキシャル成長層中の貫通軸位の密度が著しく低いので、活性素子品質を高めることができると共に、使用による動作電圧の上昇を抑えることができるので、素子寿命を長くすることができる。

【0062】本実施形態例及び実施例では、窒化物半導体素子としてGaN系半導体レーザ素子を例に挙げて説明したが、本発明は、LEDなどのその他の半導体発光素子についても適用することができる。また、本実例は、半導体絶縁素子に限らず、FET(Field Effect Transistor；電界効果トランジスタ)などの電子走行素子を含む他の半導体素子にも適用することができる。

【0063】【発明の効果】本発明によれば、第3の工段で、高密度結晶欠陥が存在する第1の窒化物半導体層下部層を含む凹部下部の側面を覆う側壁保護膜を形成することにより、從来のFS-ELO法に比べて、結晶欠陥密度が著しく低い、結晶性の良好な窒化物半導体層を成長させることができます。本発明によれば、凸部の下部側面を覆う側壁保護膜が凸部の下部側面に設けることにより、結晶性の良好な窒化物半導体層からなる素子構造を構成する。また、側壁保護膜は、側壁保護膜の良き特性が良好で、素子特性が良好で、素子寿命が長い窒化物半導体素子を実現している。

【図1】図1(a)から(c)は、それぞれ、実施形態例及び実施例1の方法に従って窒化物半導体層を成長させる際の工場毎の横断面図である。図2(d)と(e)は、それぞれ、図1(c)に示す横断面図によって成長させた窒化物半導体素子を示す。図1(c)は、それぞれ、実施例1の方法に従って窒化物半導体層を示す模式図である。

【図2】図2(d)と(e)は、それぞれ、図1(c)に示す横断面図によって成長させた窒化物半導体素子を示す。図2(d)は、実施例2の方法に従って窒化物半導体層を成長させた模式図である。図2(e)は、実施例2の方法によつて成長させた窒化物半導体層である。

【図3】実施例1の方法によって成長させた窒化物半導体層の結晶欠陥の分布を示す模式図である。

【図4】実施例2の方法に従つて窒化物半導体層を成長させた工程での横断面図である。

【図5】実施例2の方法によつて成長させた窒化物半導体層の結晶欠陥の分布を示す模式図である。

【図6】実施例1のGaN半導体レーザ素子の構成を示す側面図である。

【図7】図7(a)から(c)は、それぞれ、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図8】図8は、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図9】図9は、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図10】図10は、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図11】図11は、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図12】図12は、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図13】図13は、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図14】図14は、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図15】図15は、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図16】図16は、実施例1の方法によつて成長させた窒化物半導体素子を示す。

【図17】図17(a)から(c)は、それぞれ、実施例1

(9) 15 のGaN系半導体レーザ素子を作製する際の工程毎の構造断面図である。

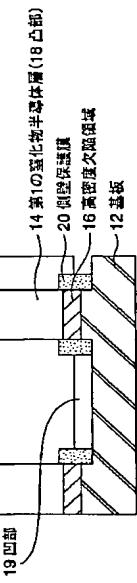
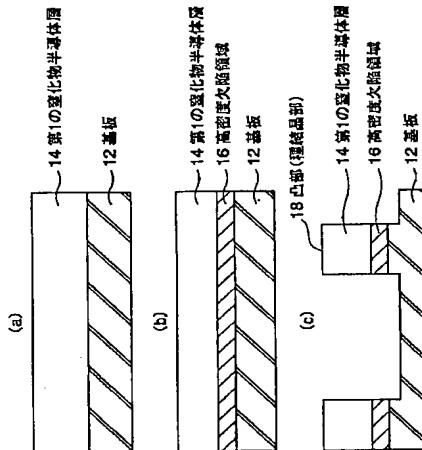
【図8】図8(a)から(c)は、それとし、従来のF-S-ELD法によって窒化物半導体層を成長させる際の工程毎の模式的断面図である。

【図9】図8(c)に統いて、従来のFS-ELD法によって窒化物半導体層を成長させる工程での模式的断面図である。

【図10】従来のFS-ELD法によって窒化物半導体層を成長させた窒化物半導体層の結晶欠陥の分布を示す模式図である。

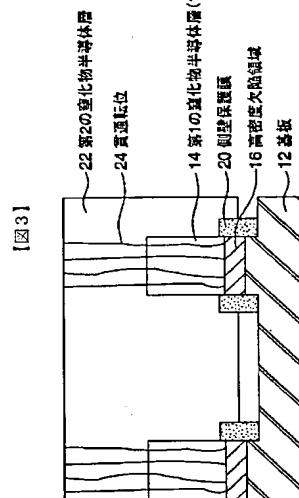
【符号の説明】
1.2……基板、サファイア基板、1.4……第1の窒化物半導体層、1.6……高密度結晶欠陥領域、1.8……凸

[図1]

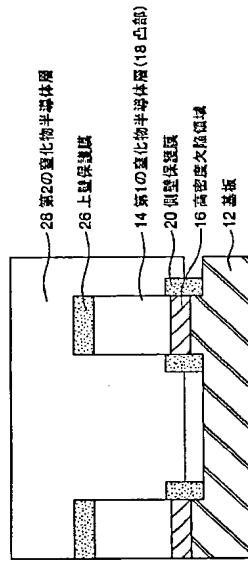


[図2]

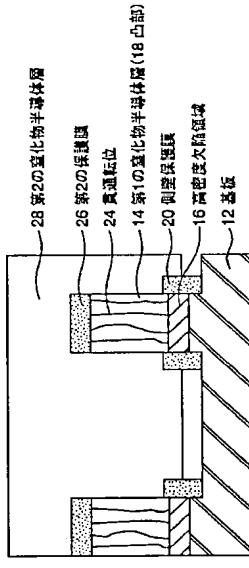
[図3]



[図3]

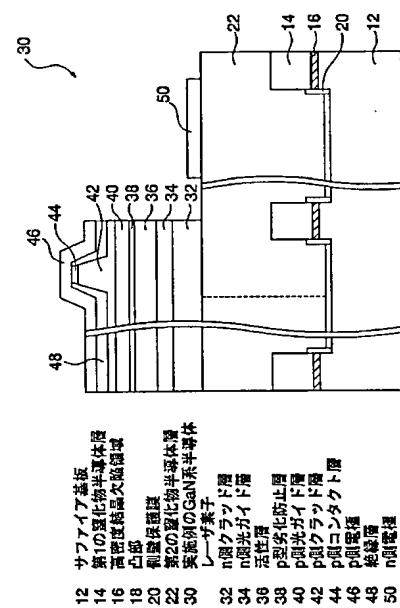


[図4]

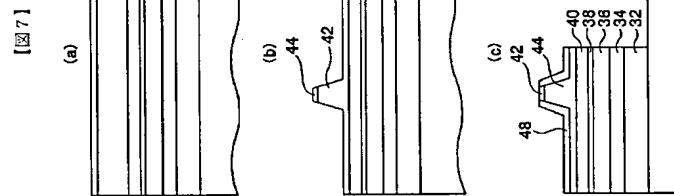


[図5]

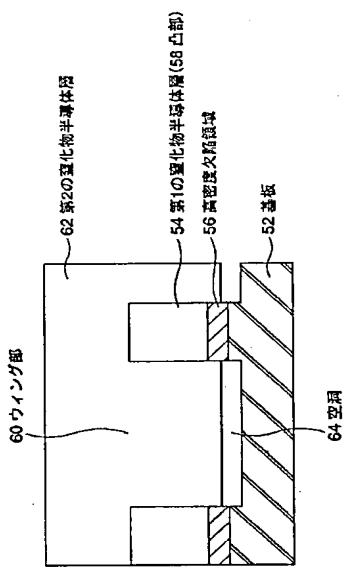
[図11]



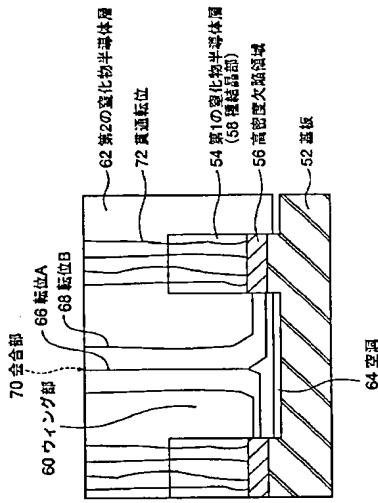
[図7]



[図9]



[図10]



Fターム(参考) 5F045 AA04 AB14 AB15 AB17 AB18
AC08 AC12 AD13 AD14 AD15
AF02 AF04 AF09 BB12 CA11
CA12 DA53 DA55 DB01 DB04
HA13
5F073 AA11 AA45 AA74 BA06 CA02
CA07 CB05 CB07 CB14 DA05
DA06 DA07 DA29 EA28

(72)発明者 山口 泰司
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

フロントページの続き